

PAT-NO: JP401016025A

DOCUMENT-IDENTIFIER: JP 01016025 A

TITLE: A/D CONVERTER

PUBN-DATE: January 19, 1989

INVENTOR-INFORMATION:

NAME

KURISU, MASAKAZU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP62172125

APPL-DATE: July 9, 1987

INT-CL (IPC): H03M001/36

US-CL-CURRENT: 148/565, 341/118

ABSTRACT:

PURPOSE: To attain a countermeasure against malfunctions such as deletion of data caused by erroneous operation, correction by proper interpolation and execution of re-measurement by adding a malfunction detection circuit detecting a malfunction of a comparator.

CONSTITUTION: The titled converter consists of a comparator array 1, a reference resistor array 2, an E<SB>x</SB>OR gate array 3, a 3-bit encoder 4, a latch 5 and a malfunction detection circuit 6. The malfunction detection circuit 6 consists of an AND gate ANDing the two adjacent inputs among inputs

to the encoder 4 and an OR gate ORing all the output. Thus, the malfunction that the two inputs adjacent to the encoder 4 go to '1' is detected by inverting the comparator output. Thus, the countermeasure against malfunction such as correction of the data including error by means of interpolation is attained.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A)

昭64-16025

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月19日

H 03 M 1/36

6832-5J

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 AD変換器

⑯ 特 願 昭62-172125

⑰ 出 願 昭62(1987)7月9日

⑱ 発 明 者 栗 栖 正 和 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

AD変換器

特許請求の範囲

リファレンス電圧を分割し $2^N - 1$ 個(N は2以上の自然数)の基準電圧を供給する基準抵抗列と、入力電圧と $2^N - 1$ 個の該基準電圧とを入力する $2^N - 1$ 個の比較器と、隣接する2つの該基準電圧に対応する該比較器出力の排他的論理和をとる $2^N - 2$ 個の排他的論理和ゲートと、最上位に位置する該比較器出力と該排他的論理和ゲート出力とを N ビットに符号化するエンコーダとを有する N ビット並列型AD変換器において、該エンコーダの入力のうち基準抵抗列に対応し隣接する2個の入力の論理積をとる $2^N - 2$ 個の論理積ゲートと、該論理積ゲートの全ての出力の論理和をとる1個の論理和ゲートからなる誤動作検出回路を備えて成ることを特徴とするAD変換器。

発明の詳細な説明

(産業上の利用分野)

本発明はアナログ信号をディジタル信号に変換するAD変換器に関し、特に N ビットの分解能を得るために $2^N - 1$ 個の比較器を有する並列型AD変換器に関する。

(従来の技術)

第4図に従来のこの種のAD変換器の一例の回路図を3ビットの場合について示したものである。第4図において、1は比較器列、2は基準抵抗列、3は排他的論理和ゲート列、4は3ビットエンコーダ、5はラッチで、各々の比較器は入力電圧 V_{in} とリファレンス電圧 V_{ref} から基準抵抗列2を通して得られる基準電圧とを比較し、隣接する2個の比較器の出力の排他的論理和を排他的論理和ゲート(以下E×ORゲートという)でとることにより入力電圧レベルを検出し、それらE×ORゲートの出力と最上位比較器の出力とをエンコーダにより符号化し、クロックCLKに同

期して3ビットのデジタル信号 $2^2 \cdot 2^1 \cdot 2^0$ を出力していた。

〔発明が解決しようとする問題点〕

従来のAD変換器はこのようにデジタル出力を得ていたため、ある比較器が誤動作すると実際とはまったく異なるデジタル出力が得られる場合があるという欠点がある。

例えば、第4図に示した3ビットAD変換器において、入力電圧 V_{in} が7個の比較器のうち下位から第3番目までの出力を「1」にし、残り全ての出力を「0」にするレベルに相当する場合、エンコーダ4を通した後の正しいデジタル出力は「011(2進法)」すなわち「3(10進法)」である。しかし、この入力電圧のときに下位から第3番目の比較器の出力が「0」で第4番目の出力が「1」になる誤動作が発生すると、エンコーダ4の出力は「100(2進法)」すなわち「4(10進法)」と、「011(2進法)」すなわち「3(10進法)」と、「010(2進法)」すなわち「2(10進法)」とのビット論理和で

ある「111(2進法)」すなわち「7(10進法)」というデジタル出力を与えてしまう。このような誤動作は、サンプリングレートと分解能の増大とともに起こりやすくなる。

上述したAD変換器に対して、本発明は比較器の誤動作を検出する誤動作検出回路を付加することにより、AD変換後のデジタル信号処理に誤動作発生を知らせて、誤動作が生じたデータを削除したり、あるいは適切に補間をして補正したり、あるいは再測定を行なわせる等の誤動作対策を可能ならしめるという独創的内容を有する。

〔問題点を解決するための手段〕

本発明のAD変換器は、リファレンス電圧を分割し $2^N - 1$ 個(N は2以上の自然数)の基準電圧を供給する基準抵抗列と、入力電圧と $2^N - 1$ 個の該基準電圧とを入力する $2^N - 1$ 個の比較器と、隣接する2つの該基準電圧に対応する該比較器出力の排他的論理和をとる $2^N - 2$ 個の排他的論理和ゲートと、最上位に位置する該比較器出力と該排他的論理和ゲート出力とを N ビットに符号

化するエンコーダとを有する N ビット並列型AD変換器において、該エンコーダの入力のうち基準抵抗列に対応し隣接する2個の入力の論理積をとる $2^N - 2$ 個の論理積ゲートと、該論理積ゲートの全ての出力の論理和をとる1個の論理和ゲートからなる誤動作検出回路を備えて構成される。

〔実施例〕

次に、本発明の図面を参照して説明する。

第1図は本発明を3ビットAD変換器に適用した一実施例の構成を示す回路図である。図において、1は比較器列、2は基準抵抗列、3はE_xORゲート列、4は3ビットエンコーダ、5はラッチ、6は誤動作検出回路、7は誤動作情報端子である。各々の比較器は入力電圧 V_{in} とリファレンス電圧 V_{ref} から基準抵抗列を通して得られる基準電圧とを比較し、その隣接する2つの出力の排他的論理和をE_xORゲートでとることにより入力電圧レベルを検出し、それらE_xORゲートの出力と最上位比較器の出力を3ビットエンコーダで符号化する。

一方、3ビットエンコーダ4の隣接する2つの入力の論理積をANDゲートでとり、その全ての出力の論理和をORゲートでとることにより、比較器出力の反転によって3ビットエンコーダ4の隣接する2個の入力が「1」になることを検出し誤動作情報を得る。ラッチ5はクロック信号CLKに同期してデジタル信号($2^2 \cdot 2^1 \cdot 2^0$)と誤動作情報ERRとを出力する。

第2図は本発明の一応用例で、波形記録装置のブロック図である。8は第1図で示した本発明のAD変換器、9はRAM(ランダムアクセスメモリ)、10はMPU(マイクロプロセッサユニット)、11はアドレスジェネレータ、12は出力装置である。入力電圧 V_{in} は本発明のAD変換器8で変換され、デジタル出力DATAと誤動作情報ERRがRAM9に記録される。MPU10は外部から供給されるクロック信号CLKに同期して、RAM9と、RAM9にアドレス信号ADDRESSを供給するアドレスジェネレータ11と、波形情報を出力する出力装置12とをコ

ントロール信号CTRLにより制御する。

この波形記録装置に第3図(a)に示すような入力信号 V_{in} が供給され、AD変換器8において第 n 番目のAD変換の再にある比較器の出力が反転する誤動作が生じ、第3図(b)に示すような波形情報がRAM9に誤動作情報とともに記録されたと仮定する。全てのAD変換が終了した後、MPU10はRAM9の内の誤動作情報をチェックし、第 n 番目のデータを v_n を第 $n-1$ 番目のデータ v_{n-1} と第 $n+1$ 番目のデータ v_{n+1} の算術平均 $(v_{n-1} + v_{n+1}) / 2$ で置き換える。最後にMPU10は、第3図(c)に示すような補間後のデータを出力装置に送り表示する。

この実施例ではMPU10がAD変換の誤動作をチェックするため、プログラミングによる高度な補間(この例では誤動作した前後のデータ算術平均)によって誤動作を補正することができるという利点がある。

(発明の効果)

以上説明したように本発明は、従来のAD変換

器に対し、エンコードの入力のうち隣接する2つの入力の論理積をとるANDゲートとその出力の全ての論理和をとるORゲートとからなる誤動作検出回路を付加することにより、比較器出力の反転によってエンコードに隣接する2つの入力が「1」になる誤動作を検出し、誤動作を含むデータを補間により補正する等の誤動作対策を可能ならしめるという効果がある。

また、本発明のAD変換器の後段でデジタル信号処理を行っているときは、誤動作情報に従ってこれにより生じたデータを落したり、再度AD変換処理を行ってデータを復活させることも可能とならしめるという効果もある。

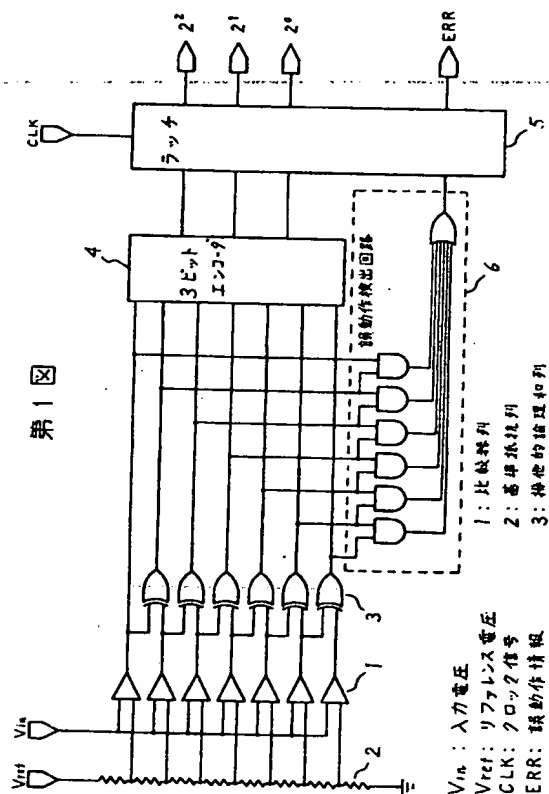
図面の簡単な説明

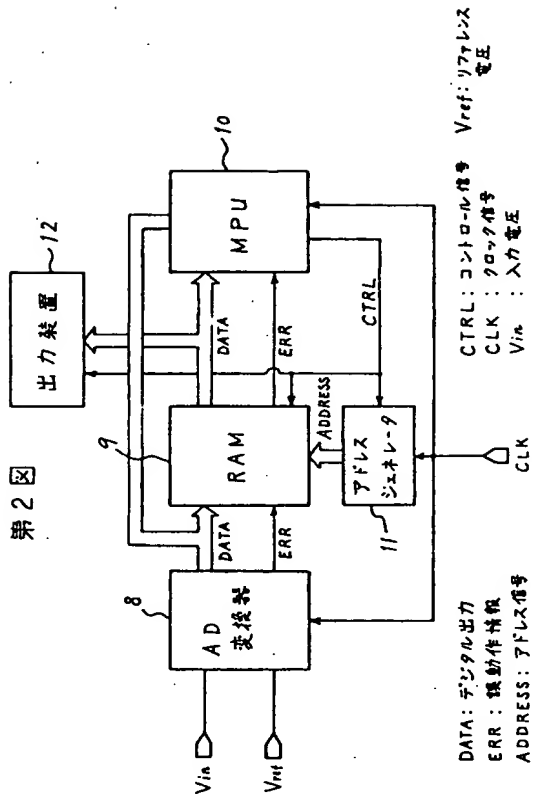
第1図は本発明を3ビットAD変換器に適用した一実施例の構成を示す回路図、第2図は本発明のAD変換器を用いた波形記録装置の一例を示すブロック図、第3図は第2図の波形記録装置においてAD変換器の誤動作を算術平均により補間す

ることの説明図、第4図は従来の技術によるAD変換器の一例を示す回路図である。

1…比較器列、2…基準抵抗列、3…排他的論理和、4…3ビットエンコード、5…ラッチ、6…誤動作検出回路。

代理人 弁理士 内 原 晋





第3図

